

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 4月 1日

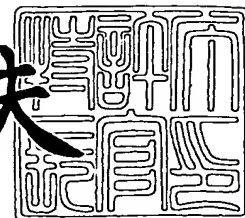
出願番号  
Application Number: 特願2003-097972  
[ST. 10/C]: [JP2003-097972]

出願人  
Applicant(s): セイコーエプソン株式会社

2004年 2月27日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3014225

【書類名】 特許願

【整理番号】 J0097298

【提出日】 平成15年 4月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/80  
H01L 27/00

【発明の名称】 トランジスタ及び電子機器

【請求項の数】 15

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 近藤 貴幸

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100089037

    【弁理士】

    【氏名又は名称】 渡邊 隆

【代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100110364

    【弁理士】

    【氏名又は名称】 実広 信哉

## 【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トランジスタ及び電子機器

【特許請求の範囲】

【請求項 1】 絶縁基板と、

前記絶縁基板上に設けられた第 1 金属膜と、

前記第 1 金属膜の上方に配置され該第 1 金属膜と電氣的に接続された N 型半導体からなる第 1 層と、

前記第 1 層上に設けられた P 型半導体からなる第 2 層と、

前記第 2 層上に設けられた N 型半導体からなる第 3 層と、

前記第 1 金属膜とは接触しないように前記絶縁基板上に設けられているとともに前記第 2 層に接続されている第 2 金属膜と、

前記第 1 金属膜及び第 2 金属膜とは接触しないように前記絶縁基板上に設けられているとともに前記第 3 層に接続されている第 3 金属膜とを有することを特徴とするトランジスタ。

【請求項 2】 前記第 1 層は、コレクタとしての機能を有し、

前記第 2 層は、ベースとしての機能を有し、

前記第 3 層は、エミッタとしての機能を有することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】 前記第 1 金属膜は、コレクタ配線としての機能を有し、

前記第 2 金属膜は、ベース配線としての機能を有し、

前記第 3 金属膜は、エミッタ配線としての機能を有することを特徴とする請求項 1 又は 2 に記載のトランジスタ。

【請求項 4】 前記第 2 層は、前記第 1 層の上面全体に形成されており、

前記第 3 層は、前記第 2 層の上面の一部領域上に形成されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載のトランジスタ。

【請求項 5】 前記第 1 層及び第 2 層は、それぞれ長方形の板状に形成されており、

前記第 3 層は、長方形の板状であって前記第 1 層及び第 2 層よりも細い形状に形成されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載のトラン

ジスタ。

【請求項 6】 前記第 1 層、第 2 層及び第 3 層は、前記第 1 金属膜の上面の上を横切るように形成されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のトランジスタ。

【請求項 7】 前記第 1 層、第 2 層及び第 3 層は、微小なタイル形状の半導体素子である微小タイル状素子として形成されたものからなることを特徴とする請求項 1 乃至 6 のいずれか一項に記載のトランジスタ。

【請求項 8】 前記微小タイル状素子は、前記第 1 層の底面にコレクタ電極が形成されており、前記第 2 層の上面における前記第 3 層が設けられている領域以外のところにベース電極が形成されており、前記第 3 層の上面にエミッタ電極が形成されているものであり、

前記微小タイル状素子における前記コレクタ電極が前記第 1 金属膜に接合されており、前記ベース電極が前記第 2 金属膜に接合されており、前記エミッタ電極が前記第 3 金属膜に接合されていることを特徴とする請求項 7 に記載のトランジスタ。

【請求項 9】 前記トランジスタは、ヘテロバイポーラトランジスタとして機能するものからなることを特徴とする請求項 1 乃至 8 のいずれか一項に記載のトランジスタ。

【請求項 10】 前記第 1 層は、ガリウム・ヒ素からなる N 型半導体であり、

前記第 2 層は、ガリウム・ヒ素からなる P 型半導体であり、

前記第 3 層は、アルミニウム・ガリウム・ヒ素からなる N 型半導体であることを特徴とする請求項 9 に記載のトランジスタ。

【請求項 11】 前記第 1 層は、1 つの前記第 1 金属膜上に複数設けられており、

前記第 2 層及び第 3 層は、前記第 1 層毎に設けられていることを特徴とする請求項 1 乃至 10 のいずれか一項に記載のトランジスタ。

【請求項 12】 複数の前記第 2 層は、1 つの前記第 2 金属膜によって相互に接続されており、

複数の前記第3層は、1つの前記第3金属膜によって相互に接続されていることを特徴とする請求項11に記載のトランジスタ。

【請求項13】 前記第1金属膜、第2金属膜及び第3金属膜は、お互いに交差しないことを特徴とする請求項1乃至12のいずれか一項に記載のトランジスタ。

【請求項14】 前記第2金属膜は、該第2金属膜における前記第2層との接続箇所以外が前記絶縁基板上に直接設けられており、

前記第3金属膜は、該第3金属膜における前記第3層との接続箇所以外が前記絶縁基板上に直接設けられていることを特徴とする請求項1乃至13のいずれか一項に記載のトランジスタ。

【請求項15】 請求項1乃至14のいずれか一項に記載の光インターコネクション回路を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トランジスタ及び電子機器に関する。

【0002】

【従来の技術】

ギガヘルツオーダの高周波信号を増幅可能な素子であるヘテロバイポーラトランジスタ（HBT）は、半絶縁半導体基板上にコレクタ層、ベース層、エミッタ層を順次積層した構造をしている。このヘテロバイポーラトランジスタ（単位素子）の形状を大きくすると、出力は大きくなるものの、動作速度などの性能が低下してしまう。そこで、通常、高速でかつ大出力可能な増幅回路を形成するために、ヘテロバイポーラトランジスタ（単位素子）が基板上において複数形成され、その複数の単位素子が並列に接続されて、全体として1つの増幅回路を構成している（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開平6-326330号公報

**【 0 0 0 4 】****【発明が解決しようとする課題】**

しかしながら、ヘテロバイポーラトランジスタは3端子素子なので、基板上面に設けられた複数の単位素子の各端子について配線によって並列接続しようとすると、従来においてはその配線に立体的交差が生じていた。この配線の交差は、容量となり特性劣化の原因になるため、エアギャップ（エアブリッジ）を設けて交差させるなど製造上面倒な工夫が必要となる。

**【 0 0 0 5 】**

これを避けるためには、全ての単位素子におけるコレクタ層を連続させ、1箇所だけ共通コレクタ電極を設ける方法もある。しかし、この方法では、コレクタ層の抵抗を十分に小さくすることができないので、高性能なヘテロバイポーラトランジスタを実現することは困難である。

**【 0 0 0 6 】**

本発明は、上記事情に鑑みてなされたもので、単位素子を並列接続させても配線を立体的に交差させる必要がなく、製造し易い構造でありながら高速化が可能なトランジスタ及び電子機器の提供を目的とする。

**【 0 0 0 7 】****【課題を解決するための手段】**

上記した目的を達成するために本発明のトランジスタは、絶縁基板と、前記絶縁基板上に設けられた第1金属膜と、前記第1金属膜上に設けられたN型半導体からなる第1層と、前記第1層上に設けられたP型半導体からなる第2層と、前記第2層上に設けられたN型半導体からなる第3層と、前記第1金属膜とは接触しないように前記絶縁基板上に設けられているとともに前記第2層に接続されている第2金属膜と、前記第1金属膜及び第2金属膜とは接触しないように前記絶縁基板上に設けられているとともに前記第3層に接続されている第3金属膜とを有することを特徴とする。

本発明によれば、例えば第1層がコレクタとなり、第2層がベースとなり、第3層がエミッタとなるバイポーラトランジスタを構成することができる。ここでコレクタとなる第1層が絶縁基板上に設けた第1金属膜の上に直接形成されてい

るので、従来構造のように絶縁基板上に直接コレクタ層を形成する場合よりも、放熱性が高くなり、信頼性が向上するとともに、駆動電力を容易に大きくすることができ、高速動作が可能でコンパクトなトランジスタを容易に構成することができる。

#### 【0008】

また、本発明のトランジスタは、前記第1層がコレクタとしての機能を有し、前記第2層がベースとしての機能を有し、前記第3層がエミッタとしての機能を有することが好ましい。

本発明によれば、例えば、第1金属膜をアース電位として、第2金属膜に電気信号を入力し、第3金属膜に抵抗などを介してバイアス電圧を印加することなどにより、高周波信号を増幅可能な高利得の増幅回路を構成することができる。

#### 【0009】

また、本発明のトランジスタは、前記第1金属膜がコレクタ配線としての機能を有し、前記第2金属膜がベース配線としての機能を有し、前記第3金属膜がエミッタ配線としての機能を有することが好ましい。

本発明によれば、例えば第1金属膜をコレクタ電極及びそのコレクタ電極に接続されたコレクタ配線として機能させ、第2金属膜をベース電極及びそのベース電極に接続されたベース配線として機能させ、第3金属膜をエミッタ電極及びそのエミッタ電極に接続されたエミッタ配線として機能させることができる。これにより、放熱性及び信頼性が高く、駆動電力を容易に大きくでき、高速動作が可能でコンパクトなトランジスタを容易に構成することができる。

#### 【0010】

また、本発明のトランジスタは、前記第2層が前記第1層の上面全体に形成されており、前記第3層が前記第2層の上面の一部領域上に形成されていることが好ましい。

本発明によれば、第1層の上面全体に第2層が形成されているので、絶縁基板上に第2金属膜を直接形成しながら、第1金属膜及び第1層に接触させることなく、また第1金属膜及び第1層と交差させることなく、第2金属膜を第2層に接続することができる。そこで、本発明によれば、配線を交差させるエアギャップ



配線を必要としないので、配線容量を低減することができ、また簡易に製造することができる。

#### 【0011】

また、本発明のトランジスタは、前記第1層及び第2層がそれぞれ長方形の板状に形成されており、前記第3層が長方形の板状であって前記第1層及び第2層よりも細い形状に形成されていることが好ましい。

本発明によれば、第1層、第2層及び第3層を長方形にすることにより、配線がし易く、高性能なトランジスタを構成することができる。

#### 【0012】

また、本発明のトランジスタは、前記第1層、第2層及び第3層が前記第1金属膜の上面の上を横切るように形成されていることが好ましい。

本発明によれば、例えば、1つの第1金属膜上に、第1層、第2層及び第3層からなるNPN構造を複数設けた場合、第1金属膜の一方側に、各第2層の電極（ベース電極）を接続する第2金属膜を設けることができ、第2金属膜の他方側に、各第3層の電極（エミッタ電極）を接続する第3金属膜を設けることができる。そこで、1つの第1金属膜上に、複数のNPN構造を設けた場合、絶縁基板上に第1金属膜、第2金属膜及び第3金属膜をそれぞれ直接形成しながら、それらの金属膜が互いに接触することなく、また互いに交差することなく、各第2層に第2金属膜を接続することができ、各第3層に第3金属膜を接続することができる。

#### 【0013】

また、本発明のトランジスタは、前記第1層、第2層及び第3層が微小なタイル形状の半導体素子である微小タイル状素子として形成されたものからなることが好ましい。

本発明によれば、微小タイル状素子によって第1層、第2層及び第3層を形成することにより、第1金属膜上の所望位置に簡易に第1層、第2層及び第3層を設けることができ、配置の自由度及び変更容易性を向上させることができる。また、本発明によれば、微小タイル状素子として第1層、第2層及び第3層を単独で形成しておき、その第1層、第2層及び第3層を単独で検査して選別すること

ができ、高品質なトランジスタを容易に提供することができる。

#### 【0014】

また、本発明のトランジスタは、前記微小タイル状素子において、前記第1層の底面にコレクタ電極が形成されており、前記第2層の上面における前記第3層が設けられている領域以外のところにベース電極が形成されており、前記第3層の上面にエミッタ電極が形成されているものであり、前記微小タイル状素子における前記コレクタ電極が前記第1金属膜に接合されており、前記ベース電極が前記第2金属膜に接合されており、前記エミッタ電極が前記第3金属膜に接合されていることが好ましい。

本発明によれば、微小タイル状素子を第1金属膜上の所望位置に簡易に接合することができる、また簡易に、第2層を第2金属膜に、第3層を第3金属膜に接合することができる。そこで、高品質なトランジスタを簡易に提供することができる。

#### 【0015】

また、本発明のトランジスタは、前記微小タイル状素子が、該微小タイル状素子の第1層を接合面として、前記絶縁基板における前記第1金属膜上に接合されていることが好ましい。

#### 【0016】

また、本発明のトランジスタは、ヘテロバイポーラトランジスタとして機能するものからなることが好ましい。

本発明によれば、例えば第1層のバンドギャップと第3層のバンドギャップを異なるものとするにより、ヘテロバイポーラトランジスタを構成することができる。そこで、本発明によれば、無線通信などで用いる高周波信号を高利得で増幅できる増幅回路を簡易に提供することができる。

#### 【0017】

また、本発明のトランジスタは、前記第1層がガリウム・ヒ素からなるN型半導体であり、前記第2層がガリウム・ヒ素からなるP型半導体であり、前記第3層がアルミニウム・ガリウム・ヒ素からなるN型半導体であることが好ましい。

本発明によれば、ヘテロバイポーラトランジスタを簡易に構成することができる。

る。また、本発明によれば、ヘテロバイポーラトランジスタをなす単位素子を 1 つの第 1 金属膜上に複数配置し、その複数の単位素子を配線の立体交差が生じないように並列接続することができる。そこで、本発明によれば、大出力が可能であって従来よりも高速に動作するヘテロバイポーラトランジスタを簡易に提供することができる。

#### 【0018】

また、本発明のトランジスタは、前記第 1 層が 1 つの前記第 1 金属膜上に複数設けられており、前記第 2 層及び第 3 層が前記第 1 層毎に設けられていることが好ましい。

本発明によれば、1 つの第 1 金属膜を共通コレクタ電極及び配線として、複数のヘテロバイポーラトランジスタを構成することができる。そこで、本発明によれば、各ヘテロバイポーラトランジスタの特性を高精度に揃えることができる。

#### 【0019】

また、本発明のトランジスタは、複数の前記第 2 層が 1 つの前記第 2 金属膜によって相互に接続されており、複数の前記第 3 層が 1 つの前記第 3 金属膜によって相互に接続されていることが好ましい。

本発明によれば、1 つの第 1 金属膜を共通コレクタ配線とし、1 つの第 2 金属膜を共通ベース配線とし、1 つの第 3 金属膜を共通エミッタ配線として、複数のヘテロバイポーラトランジスタ（単位素子）を並列に接続することができる。ここで、各単位素子を並列接続する第 1 金属膜、第 2 金属膜及び第 3 金属膜はそれぞれ絶縁基板上に直接形成されているので、配線の立体的交差がない。そこで、本発明によれば、大出力が可能であって従来よりも高速に動作するヘテロバイポーラトランジスタを提供することができる。

また、本発明によれば、例えば、第 1 金属膜、第 2 金属膜及び第 3 金属膜それぞれにおける各単位素子の電極へ接続する部分などを、単位素子毎に同じ形状にすることで、各単位素子の配線形状を同一にすることができる。そこで、本発明によれば、互いに特性が揃った単位素子を並列接続したヘテロバイポーラトランジスタを提供することができる。

また、本発明によれば、絶縁基板上に形成された第 1 金属膜、第 2 金属膜及び

第3金属膜が各单位素子の電極へ直接接続されるので、各单位素子の各電極への配線長を調整する導通穴（バイアホール）などを設ける必要なく、高性能なヘテロバイポーラトランジスタを簡易な製造工程により安価に提供することができる。

#### 【0020】

また、本発明のトランジスタは、前記第1金属膜、第2金属膜及び第3金属膜が、お互いに交差しないことが好ましい。

本発明によれば、前記第1金属膜、第2金属膜及び第3金属膜がお互いに交差しない又は横切らないので、配線容量を低減でき、容易に製造できる高性能なトランジスタを提供することができる。

#### 【0021】

また、本発明のトランジスタは、前記第2金属膜は、該第2金属膜における前記第2層との接続箇所以外が前記絶縁基板上に直接設けられており、前記第3金属膜は、該第3金属膜における前記第3層との接続箇所以外が前記絶縁基板上に直接設けられていることが好ましい。

本発明によれば、第1金属膜、第2金属膜及び第3金属膜の大部分を絶縁基板上に直接設けることができるので、放熱性が高く、信頼性に優れ、簡易に製造できるより高速で大出力のヘテロバイポーラトランジスタを提供することができる。

#### 【0022】

本発明の電子機器は、前記トランジスタを備えたことを特徴とする。

本発明によれば、放熱性が高く、信頼性に優れ、簡易に製造できるより高速で大出力の増幅器などを備えた電子機器を提供することができる。そこで、前記トランジスタを備えた携帯電話、無線LANなどの無線機器を構成することで、より高性能で安価な無線機器を提供することができる。

#### 【0023】

また、本発明のトランジスタの製造方法は、絶縁基板上に第1金属膜を設け、前記第1金属膜上にN型半導体からなる第1層を設け、前記第1層上にP型半導体からなる第2層を設け、前記第2層上の一部領域上にN型半導体からなる第3

層を設け、前記第1金属膜とは接触しないように前記絶縁基板上に設けるとともに前記第2層に接続する第2金属膜を設け、前記第1金属膜及び第2金属膜とは接触せずに、前記第3層に接続する第3金属膜を前記絶縁基板上に設けることを特徴とする。

本発明によれば、例えば第1層がコレクタとなり、第2層がベースとなり、第3層がエミッタとなり、第1金属膜がコレクタ電極又は配線となり、第2金属膜がベース電極又は配線となり、第3金属膜がエミッタ電極又は配線となるバイポーラトランジスタを製造することができる。ここでコレクタとなる第1層が第1金属膜の上に直接形成されているので、従来構造のように絶縁基板上に直接コレクタ層を形成する場合よりも、放熱性が高くなる。そこで、本発明によれば、従来のものよりも信頼性が高く、出力電力が大きく、かつ高速動作が可能でコンパクトなトランジスタを容易に構成することができる。

#### 【0024】

また、本発明のトランジスタの製造方法は、N型半導体からなる第1層と、前記第1層上に設けられたP型半導体からなる第2層と、前記第2層上の一部領域に設けられたN型半導体からなる第3層と、前記第1層の底面に設けられた第1電極と、前記第2層上の一部領域以外の領域に設けられた第2電極と、前記第3層の上面に設けられた第3電極と、を有してなる微小タイル状素子を設け、絶縁基板上に第1金属膜を設け、前記第1金属膜に前記微小タイル状素子の第1電極が接続するように、該第1金属膜上に該微小タイル状素子を配置し、前記第2電極に接続する第2金属膜を前記絶縁基板上及び該第2電極の一部上に設け、前記第3電極に接続する第3金属膜を前記絶縁基板上及び該第3電極の一部上に設けることを特徴とする。

本発明によれば、絶縁基板上に第1金属膜を設け、その第1金属膜上に微小タイル状素子を配置し、微小タイル状素子の第1電極と第1金属膜とを接合することで、簡易に高性能なバイポーラトランジスタを製造することができる。すなわち、例えば微小タイル状素子の第1層がコレクタとなり、第2層がベースとなり、第3層がエミッタとなる。また、微小タイル状素子の第1電極がコレクタ電極となり、第2電極がベース電極となり、第3電極がエミッタ電極となる。そして

第1金属膜がコレクタ配線となる。このような構成により、コレクタなどにおいて発生した熱が第1電極を介して第1金属膜に効率よく伝達されるので、放熱性を向上させることができる。

また、本発明の製造方法によれば、微小タイル状素子を第1金属膜上の所望位置に配置することができ、トランジスタ素子単体の配置の自由度及び変更容易性を向上させることができる。また、本発明によれば、微小タイル状素子として第1層、第2層及び第3層を単独で形成しておき、その第1層、第2層及び第3層を単独で検査して選別することができ、高品質なトランジスタを容易に提供することができる。

#### 【0025】

また、本発明のトランジスタの製造方法は、前記第1層を、コレクタとして機能するように形成し、前記第2層は、ベースとして機能するように形成し、前記第3層は、エミッタとして機能するように形成し、前記第1金属膜は、コレクタ電極又はコレクタ配線として機能するように形成し、前記第2金属膜は、ベース電極又はベース配線として機能するように形成し、前記第3金属膜は、エミッタ電極又はエミッタ配線として機能するように形成することが好ましい。

本発明によれば、例えば、第1金属膜をアース電位として、第2金属膜に電気信号を入力し、第3金属膜に抵抗などを介してバイアス電圧を印加することなどにより、高周波信号を増幅可能な高利得の増幅回路を製造することができる。また、本発明によれば、例えば第1金属膜をコレクタ配線として機能させ、第2金属膜をベース配線として機能させ、第3金属膜をエミッタ配線として機能させることができる。これにより、放熱性及び信頼性が高く、駆動電力を容易に大きくでき、高速動作が可能でコンパクトなトランジスタを容易に製造することができる。

#### 【0026】

また、本発明のトランジスタの製造方法は、前記第1層、第2層及び第3層を、前記第1金属膜の上面の上を横切るように形成することが好ましい。

本発明によれば、例えば、1つの第1金属膜上に、第1層、第2層及び第3層からなるNPN構造を複数設けた場合、第1金属膜の一方側に、各第2層の電極

(ベース電極)を接続する第2金属膜を設けることができ、第2金属膜の他方側に、各第3層の電極(エミッタ電極)を接続する第3金属膜を設けることができる。そこで、1つの第1金属膜上に複数の単位素子(トランジスタ)を形成し、各単位素子の3つの端子を、絶縁基板上に直接形成した第1金属膜、第2金属膜及び第3金属膜でそれぞれ接続することができる。したがって、本発明の製造方法によれば、複数の単位素子を並列接続しながら、その配線が交差することを回避することができるので、その交差部における容量の発生がない分、高速動作が可能な大出力のトランジスタを製造することができる。

#### 【0027】

また、本発明のトランジスタの製造方法は、前記第1層がガリウム・ヒ素からなるN型半導体で形成し、前記第2層は、ガリウム・ヒ素からなるP型半導体で形成し、前記第3層は、アルミニウム・ガリウム・ヒ素からなるN型半導体で形成することが好ましい。

本発明によれば、ヘテロバイポーラトランジスタを簡易に構成することができる。また、本発明によれば、ヘテロバイポーラトランジスタをなす単位素子を1つの第1金属膜上に複数配置し、その複数の単位素子を配線の立体交差が生じないように並列接続することができる。そこで、本発明によれば、大出力が可能であって従来よりも高速に動作するヘテロバイポーラトランジスタを簡易に製造することができる。

#### 【0028】

また、本発明のトランジスタの製造方法は、複数の前記微小タイル状素子を、1つの前記第1金属膜上に一定の間隔をもって配置し、前記微小タイル状素子各々の第1電極を、前記第1金属膜上に接合し、前記微小タイル状素子各々の第2電極を、前記第2金属膜に接合し、前記微小タイル状素子各々の第3電極を、前記第3金属膜に接合することが好ましい。

本発明によれば、1つの第1金属膜を共通コレクタ配線とし、1つの第2金属膜を共通ベース配線とし、1つの第3金属膜を共通エミッタ配線として、複数のヘテロバイポーラトランジスタ(単位素子)を並列に接続することができる。ここで、各単位素子を並列接続する第1金属膜、第2金属膜及び第3金属膜はそれ

ぞれ絶縁基板上に直接形成されているので、配線の立体的交差がない。そこで、本発明によれば、大出力が可能であって従来よりも高速に動作するヘテロバイポーラトランジスタを簡易に製造することができる。

また、本発明によれば、例えば、第1金属膜、第2金属膜及び第3金属膜それぞれにおける各単位素子の電極へ接続する部分などを、単位素子毎に同じ形状にすることで、各単位素子の配線形状を同一にすることができる。そこで、本発明によれば、互いに特性が揃った単位素子を並列接続したヘテロバイポーラトランジスタを簡易に製造することができる。

また、本発明によれば、絶縁基板上に形成された第1金属膜、第2金属膜及び第3金属膜が各単位素子の電極へ直接接続されるので、各単位素子の各電極への配線長を調整する導通穴（バイアホール）などを設ける必要なく、高性能なヘテロバイポーラトランジスタを簡易な製造工程で提供することができる。

#### 【0029】

また、本発明のトランジスタの製造方法は、前記第2金属膜における前記第2層又第2電極との接続箇所以外を、前記絶縁基板上に直接設け、前記第3金属膜における前記第3層又は第3電極との接続箇所以外を、前記絶縁基板上に直接設けることが好ましい。

本発明によれば、共通コレクタ配線、共通ベース配線及び共通エミッタ配線が絶縁基板上に直接形成されているので、配線の立体的交差がない。そこで、本発明によれば、大出力が可能であって従来よりも高速に動作するヘテロバイポーラトランジスタを簡易に製造することができる。

#### 【0030】

##### 【発明の実施の形態】

以下、本発明の実施形態に係るヘテロバイポーラトランジスタについて、図面を参照して説明する。

図1は本発明の実施形態に係る1つのヘテロバイポーラトランジスタ単体（単位素子）を示す概略側面図である。単位素子1は、N型半導体からなる第1層11と、第1層11上に設けられたP型半導体からなる第2層12と、第2層12上に設けられたN型半導体からなる第3層13とを有している。



**【0031】**

第2層12は、第1層11上面の全体に形成されており、第1層11及び第3層13と比較して薄い層となっている。第3層13は、第2層上面の中央を横断するように設けられており、その上面の面積が第1層11及び第2層12の上面面積と比べて小さくなっている。なお、第1層11、第2層12及び第3層13の側面は、垂直に形成してもよく、テーパ形状などであってもよい。

**【0032】**

第1層11底面の略全体には、金属膜からなるコレクタ電極C（第1電極）が設けられている。第2層12上面における第3層が設けられていない部分、すなわち第2層12上面における両サイド部分には、金属膜からなるベース電極B（第2電極）が設けられている。第3層上面の略全体には、金属膜からなるエミッタ電極E（第3電極）が設けられている。

**【0033】**

コレクタ電極C、ベース電極B及びエミッタ電極Eそれぞれの厚さは、第1層11、第2層12及び第3層13に比べて大幅に薄くなっている。そして、ヘテロバイポーラトランジスタをなす単位素子1の厚さdは、第1層11、第2層12及び第3層13それぞれの厚さとコレクタ電極C及びエミッタ電極Eそれぞれの厚さとの合計値であり、例えば数 $\mu\text{m}$ とする。

**【0034】**

第1層11は、例えばガリウム・ヒ素（GaAs）からなるN型半導体で形成する。第2層12は、例えばガリウム・ヒ素（GaAs）からなるP型半導体で形成する。第3層13は、例えばアルミニウム・ガリウム・ヒ素（AlGaAs）からなるN型半導体で形成する。このような構成により、第1層11がコレクタとして機能し、第2層がベースとして機能し、第3層がエミッタとして機能する。

**【0035】**

このような構成により、単位素子1は、ガリウム・ヒ素（GaAs）系のヘテロバイポーラトランジスタを構成する。そこで、この単位素子1を基板上の所望位置に配置することで、任意の位置にギガヘルツオーダの高速な増幅回路などを

形成することができる。

#### 【0036】

また、単位素子1は、微小なタイル形状の半導体デバイス（微小タイル状素子）として形成することが好ましい。この微小タイル状素子は、例えば、厚さが数 $\mu\text{m}$ 以下であり、縦横の大きさが数 $\mu\text{m}$ から数百 $\mu\text{m}$ の板状部材である。微小タイル状素子の製造方法については、後で詳細に説明する。

このように、単位素子1を微小タイル状素子として形成することで、ギガヘルツオーダの高速な増幅回路単体などを極めてコンパクトに形成することができ、その回路を基板上の所望位置に簡易に貼り付けることができる。

#### 【0037】

なお、単位素子1は、第1層11、第2層12及び第3層13を形成する材料を変更することにより、シリコン・ゲルマニウム（SiGe）ヘテロバイポーラトランジスタ、インジウムリン（InP）系ヘテロバイポーラトランジスタ、又はインジウム・ガリウム・リン（InGaP）系ヘテロバイポーラトランジスタを構成することもできる。

#### 【0038】

次に、上記単位素子1を並列接続して1つの大出力ヘテロバイポーラトランジスタ30を構成した構造について図2から図4を参照して説明する。図2は本発明の実施形態に係るヘテロバイポーラトランジスタ（HBT）30の構造を示す概略側面図である。図3は図2に示すヘテロバイポーラトランジスタの変形例である。図4は図2に示すヘテロバイポーラトランジスタ30の構造を示す概略平面図である。

#### 【0039】

1枚の絶縁基板20の上面には、第1金属膜からなる共通コレクタ配線21が長方形状に形成されている。共通コレクタ配線21の上面には、複数の単位素子1が接合されている。各単位素子1同士は、一定の間隔をもって配置されていることが好ましい。これは各単位素子1の電気的特性を揃えるためである。各単位素子1は、長方形の微小タイル形状で構成されている。ここで、各単位素子1において、第3層13は第1層11及び第2層12よりも細長い形状となっており

、第3層13が第2層上を横断するように形成されている。

#### 【0040】

また、各单位素子1は、第1層、第2層、第3層、コレクタ電極C、ベース電極B及びエミッタ電極Eが共通コレクタ配線21を横断するように、設けられ配置されている。共通コレクタ配線21の幅は、単位素子1の長手方向の長さよりも小さくてもよい。好ましくは共通コレクタ配線21の幅を単位素子1の長手方向の長さとはほぼ一致させる。換言すれば、各单位素子1における第1層、第2層、第3層、コレクタ電極C、ベース電極B及びエミッタ電極Eの長手方向の両端辺が共通コレクタ配線21の長手方向の両側辺とはほぼ一致するように、設けられている。

#### 【0041】

そして、各单位素子1のコレクタ電極Cと共通コレクタ配線21とは、少なくとも電氣的に接合されている。ここで、各单位素子1のコレクタ電極Cと共通コレクタ配線21とは、電氣的及び機械的に接合することとしてもよい。

#### 【0042】

また、絶縁基板20上には、第2金属膜からなる共通ベース配線22と、第3金属膜からなる共通エミッタ配線23とが形成されている。共通ベース配線22は、共通コレクタ配線21の長手方向の片側に沿って長方形に形成されており、共通コレクタ配線21及び共通エミッタ配線23とは接触していない。そして、共通ベース配線22は、長方形の長手方向の1辺に凸形状に設けられた接続部により、各单位素子1のベース電極Bと電氣的に接合している。したがって、各单位素子1のベース電極B同士は共通ベース配線22で電氣的に接続されている。

#### 【0043】

共通エミッタ配線23は、共通コレクタ配線21の長手方向の片側（共通ベース配線22の逆側）に沿って長方形に形成されている。そして、共通エミッタ配線23は、長方形の長手方向の1辺に凸形状に設けられた接続部により、各单位素子1のエミッタ電極Eと電氣的に接合している。したがって、各单位素子1のエミッタ電極E同士は共通エミッタ配線23によって電氣的に接続されている。

#### 【0044】

これらにより、本実施形態によれば、各単位素子 1 を並列に接続する配線である共通コレクタ配線（第 1 金属膜）21、共通ベース配線（第 2 金属膜）22 及び共通エミッタ配線（第 3 金属膜）23 を、それぞれ絶縁基板 20 上に直接形成しながら、それらの配線が互いに接触することがなく、また互いに交差することもない。そこで、本実施形態によれば、基板平面上に設けた複数の単位素子（ヘテロバイポーラトランジスタ）について、エアギャップ配線を必要とせずに並列接続することができるので、従来よりも高速で大出力のヘテロバイポーラトランジスタを簡易に製造することができる。

#### 【0045】

また、本実施形態によれば、絶縁基板 20 上に設けた 1 つの共通コレクタ配線 21 上に、各単位素子 1 の第 1 層 11（コレクタ層）がコレクタ電極 C を介して直接接合されるので、従来構造のように絶縁基板上に直接コレクタ層を形成する場合よりも、放熱性を高くすることができる。そこで、本実施形態によれば、信頼性を向上させることができ、駆動電力を容易に大きくすることができ、従来よりも高速動作が可能でコンパクトなヘテロバイポーラトランジスタを容易に構成することができる。

#### 【0046】

本実施形態のヘテロバイポーラトランジスタ 30 は、例えば、エミッタ接地増幅回路に適用することができ、数 GHz 帯の無線通信用パワーアンプに好適である。そこで、ヘテロバイポーラトランジスタ 30 を備えた携帯電話、無線 LAN などの無線機器を構成することで、より高性能で安価な無線機器を提供することができる。また、本実施形態のヘテロバイポーラトランジスタ 30 は、ベース接地増幅回路又はコレクタ接地増幅回路に適用することができ、発振回路などに適用することもできる。

#### 【0047】

図 3 に示すヘテロバイポーラトランジスタは、図 2 に示すヘテロバイポーラトランジスタ 30 の絶縁基板 20 を導電基板 20a 及び絶縁膜 20b に置き換えたものである。すなわち図 3 に示すヘテロバイポーラトランジスタでは、導電基板 20a の表面に絶縁膜 20b が形成されている。そして、絶縁膜 20b の上面に

共通コレクタ配線、共通ベース配線及び共通エミッタ配線が形成されている。その他は、図2に示すヘテロバイポーラトランジスタ30と同様に、共通コレクタ配線に複数の単位素子1が設けられており、各単位素子1のコレクタ電極は共通コレクタ配線に接続され、各単位素子1のベース電極は共通ベース配線に接続され、各単位素子1のエミッタ電極は共通エミッタ配線に接続されている。

#### 【0048】

(微小タイル状素子の製造方法)

次に、上記単位素子1をなす微小タイル状素子の製造方法と、その微小タイル状素子を絶縁基板20（最終基板）に接着する方法とについて、図5乃至図15を参照して説明する。本微小タイル状素子の製造方法では、エピタキシャルリフトオフ法を基礎として用いている。また、本製造方法では、微小タイル状素子としての化合物半導体デバイス（化合物半導体素子）を最終基板となるシリコン・LSIチップ上に接着する場合について説明するが、半導体デバイスの種類及びLSIチップの種類に関係なく本発明を適用することができる。なお、本実施形態における「半導体基板」とは、半導体物資から成る物体をいうが、板形状の基板に限らず、どのような形状であっても半導体物資であれば「半導体基板」に含まれる。

#### 【0049】

<第1工程>

図5は本半導体集積回路の製造方法の第1工程を示す概略断面図である。図5において、基板110は、半導体基板であり、例えばガリウム・ヒ素化合物半導体基板とする。基板110における最下位層には、犠牲層111を設けておく。犠牲層111は、アルミニウム・ヒ素（AlAs）からなり、厚さが例えば数百nmの層である。

例えば、犠牲層111の上層には機能層112を設ける。機能層112の厚さは、例えば1 $\mu$ mから10（20） $\mu$ m程度とする。そして、機能層112において半導体デバイス（単位素子1）113を作成する。半導体デバイス113としては、例えば、単位素子1の代わりに又は単位素子1とともに、複数個のヘテロバイポーラトランジスタ（HBT）、高電子移動度トランジスタ（HEMT）

あるいはAPC回路などを形成してもよい。これらの半導体デバイス113は、何れも基板110上に多層のエピタキシャル層を積層して素子が形成されたものである。また、各半導体デバイス113には、電極も形成し、動作テストも行う。

#### 【0050】

##### <第2工程>

図6は本半導体集積回路の製造方法の第2工程を示す概略断面図である。本工程においては、各半導体デバイス113を分割するように分離溝121を形成する。分離溝121は、少なくとも犠牲層111に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さともに、 $10\mu\text{m}$ から数百 $\mu\text{m}$ とする。また、分離溝121は、後述するところの選択エッチング液が当該分離溝121を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝121は、基盤のごとく格子状に形成することが好ましい。

また、分離溝121相互の間隔を数十 $\mu\text{m}$ から数百 $\mu\text{m}$ とすることで、分離溝121によって分割・形成される各半導体デバイス113のサイズを、数十 $\mu\text{m}$ から数百 $\mu\text{m}$ 四方の面積をもつものとする。分離溝121の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはドライエッチングによる方法を用いる。また、クラックが基板に生じない範囲でU字形溝のダイシングで分離溝121を形成してもよい。

#### 【0051】

##### <第3工程>

図7は本半導体集積回路の製造方法の第3工程を示す概略断面図である。本工程においては、中間転写フィルム131を基板110の表面（半導体デバイス113側）に貼り付ける。中間転写フィルム131は、表面に粘着剤が塗られたフレキシブルなフィルムである。

#### 【0052】

##### <第4工程>

図8は本半導体集積回路の製造方法の第4工程を示す概略断面図である。本工程においては、分離溝121に選択エッチング液141を注入する。本工程では

、犠牲層 111 のみを選択的にエッチングするために、選択エッチング液 141 として、アルミニウム・ヒ素に対して選択性が高い低濃度の塩酸を用いる。

### 【0053】

#### <第5工程>

図9は本半導体集積回路の製造方法の第5工程を示す概略断面図である。本工程においては、第4工程での分離溝 121 への選択エッチング液 141 の注入後、所定時間の経過により、犠牲層 111 のすべてを選択的にエッチングして基板 110 から取り除く。

### 【0054】

#### <第6工程>

図10及び図11は本半導体集積回路の製造方法の第6工程を示す概略断面図である。第5工程で犠牲層 111 が全てエッチングされると、基板 110 から機能層 112 が切り離される。そして、本工程において、中間転写フィルム 131 を基板 110 から引き離すことにより、中間転写フィルム 131 に貼り付けられている機能層 112 を基板 110 から引き離す。

これらにより、半導体デバイス 113 が形成された機能層 112 は、分離溝 121 の形成及び犠牲層 111 のエッチングによって分割されて、所定の形状（例えば、微小タイル形状）の半導体素子（上記実施形態の「単位素子1」）とされ、中間転写フィルム 131 に貼り付け保持されることとなる。ここで、機能層の厚さが例えば  $1\mu\text{m}$  から  $10\mu\text{m}$  程度、大きさ（縦横）が例えば数十  $\mu\text{m}$  から数百  $\mu\text{m}$  であるのが好ましい。

### 【0055】

次いで、図11に示すように、中間転写フィルム 131 の裏面側に金属膜 162 を成膜して、機能層 112 の底面に上記コレクタ電極 C を形成する。すなわち、中間転写フィルム 131 には機能層 112 が裏面を露出して保持されているので、その中間転写フィルム 131 の裏面側について蒸着法又はスパッタ法で金属膜 162 を成膜する。ここで、金属膜 162 としては、N型化合物半導体とオーミック接触が得られる材質が好ましい。例えば金 (Au) とゲルマニウム (Ge) の合金、ニッケル (Ni) と金 (Au) を積層したもの、又はチタン (Ti)

と金 (Au) の積層膜などが金属膜 162 として使える。

#### 【0056】

##### <第7工程>

図12は本半導体集積回路の製造方法の第7工程を示す概略断面図である。本工程においては、(微小タイル状素子161が貼り付けられた)中間転写フィルム131を移動させることで、最終基板171(絶縁基板20)の所望の位置(共通コレクタ配線21の上面)に微小タイル状素子161(単位素子1)をアライメントする。ここで、最終基板171は、例えば、シリコン半導体からなり、LSI領域172が形成されている。また、最終基板171の所望の位置には、微小タイル状素子161を接着するための接着剤173を塗布しておく。接着剤は微小タイル状素子に塗布してもかまわない。また、接着剤173は高い導電性を持つものが好ましい。

#### 【0057】

##### <第8工程>

図13は本半導体集積回路の製造方法の第8工程を示す概略断面図である。本工程においては、最終基板171の所望位置(共通コレクタ配線21の上面)にアライメントされた微小タイル状素子161を、中間転写フィルム131越しに裏押し治具181で押しつけて最終基板171に接合する。ここで、所望の位置には接着剤173が塗布されているので、その最終基板171の所望の位置に微小タイル状素子161が接着される。これにより、共通コレクタ配線21の上面に、上記単位素子1のコレクタ電極が電氣的に接続することとなる。

#### 【0058】

##### <第9工程>

図14は本半導体集積回路の製造方法の第9工程を示す概略断面図である。本工程においては、中間転写フィルム131の粘着力を消失させて、微小タイル状素子161から中間転写フィルム131を剥がす。

中間転写フィルム131の粘着剤は、UV硬化性又は熱硬化性のものにしておく。UV硬化性の粘着剤とした場合は、裏押し治具181を透明な材質にして置き、裏押し治具181の先端から紫外線(UV)を照射することで中間転写フィ



ルム 131 の粘着力を消失させる。熱硬化性の接着剤とした場合は、裏押し治具 181 を加熱すればよい。あるいは第 6 工程の後で、中間転写フィルム 131 を全面紫外線照射するなどして粘着力を全面消失させておいてもよい。粘着力が消失したとはいえ実際には僅かに粘着性が残っており、微小タイル状素子 161 は非常に薄く軽いので中間転写フィルム 131 に保持される。

#### 【0059】

##### <第 10 工程>

本工程は、図示していない。本工程においては、加熱処理などを施して、微小タイル状素子 161 を最終基板 171 に本接合する。

#### 【0060】

##### <第 11 工程>

図 15 は本半導体集積回路の製造方法の第 11 工程を示す概略断面図である。また図 15 は図 14 において視点 B から最終基板 171 などを見た状態を示している。本工程においては、微小タイル状素子 161 からなる単位素子 1 のベース電極 C 及びエミッタ電極 E を最終基板 171 である絶縁基板 20 上の共通ベース配線 22 及び共通エミッタ配線 23 に電氣的に繋ぎ、一つの LSI チップなどの半導体集積回路を完成させる。最終基板 171 としては、図 2 に示すヘテロバイポーラトランジスタ用の絶縁基板 20 に適用するものとしてセラミック、ガラス、石英、ガラスエポキシ、プラスチック、化合物半導体が挙げられ、図 3 に示すヘテロバイポーラトランジスタ用の導電基板 20a 及び絶縁膜 20b に適用するものとしてシリコン基板に絶縁膜を形成したものが挙げられる。ここで、絶縁膜としては、 $\text{SiO}_2$ 、 $\text{SiN}$  などの無機膜、あるいはポリイミドなどの有機膜が適用できる。

#### 【0061】

これらにより、最終基板 171 である絶縁基板 20 が例えばプラスチックであっても、その絶縁基板 20 の共通コレクタ配線 21 上の所望位置にヘテロバイポーラトランジスタをなす単位素子 1 を形成するというように、ヘテロバイポーラトランジスタをなす半導体素子を当該半導体素子とは材質の異なる基板上に形成することが可能となる。

また、半導体基板上で単位素子 1 を完成させてから微小タイル形状に切り離すので、無線回路などをなす集積回路を作成する前に、予め単位素子 1 をテストして選別することが可能となる。

#### 【0062】

また、上記製造方法によれば、半導体素子（単位素子 1）を含む機能層のみを、微小タイル状素子として半導体基板から切り取り、フィルムにマウントしてハンドリングすることができるので、単位素子 1 を個別に選択して絶縁基板 20 に接合することができ、ハンドリングできる単位素子 1 のサイズを従来の実装技術のものよりも小さくすることができる。したがって、所望性能をもつヘテロバイポーラトランジスタを、簡便に低コストで提供することができる。

#### 【0063】

また、本実施形態のヘテロバイポーラトランジスタは、高周波信号を扱う機器に適している。本実施形態のヘテロバイポーラトランジスタの応用としては、無線通信における RF 回路のパワーアンプ、ローノイズアンプ、プリアンプなどが挙げられる。また、電気有線通信におけるパワーアンプ、プリアンプなどに、本実施形態のヘテロバイポーラトランジスタを適用してもよい。また、光通信などにおけるレーザドライバ、プリアンプなどに、本実施形態のヘテロバイポーラトランジスタを適用してもよい。そこで、本実施形態のヘテロバイポーラトランジスタは、携帯電話、無線 LAN 装置、光通信モジュールの構成要素に好適である。

#### 【0064】

上記製造方法では、導電性の接着剤 173 を用いて微小タイル状素子 161（単位素子 1）を共通コレクタ配線 21 へ接合したが、接着剤の代わりにはんだを用いることもできる。または接着剤を介さず接合することもできる。例えばコレクタ電極 C と共通コレクタ配線 21 を直に接触させエネルギーを加えることで金属-金属の直接接合してもよい。または、コレクタ電極 C、共通コレクタ配線 21 の少なくとも一方、好ましくは双方の表面にパラジウム膜を形成した後、互いに接触させエネルギーを加えることで直接接合してもよい。パラジウムは反応性に富むので接合に要するエネルギーを小さくできる。

**【0065】**

(電子機器)

上記実施形態の半導体集積回路（ヘテロバイポーラトランジスタ）を備えた電子機器の他の例について説明する。

図16は、携帯電話の一例を示した斜視図である。図16において、符号1000は上記のヘテロバイポーラトランジスタを備えた携帯電話本体を示し、符号1001は表示部を示している。

**【0066】**

図17は、腕時計型電子機器の一例を示した斜視図である。図17において、符号1100は上記のヘテロバイポーラトランジスタを用いた時計本体を示し、符号1101は表示部を示している。

**【0067】**

図18は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図18において、符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は上記のヘテロバイポーラトランジスタを用いた情報処理装置本体、符号1206は表示部を示している。

**【0068】**

図16から図18に示す電子機器は、上記実施形態のヘテロバイポーラトランジスタを備えているので、放熱性が高く、信頼性に優れ、簡易に製造できるより高速で大出力の増幅器などを内蔵することができる。そこで、本実施形態によれば、上記ヘテロバイポーラトランジスタからなる無線機器を備えた携帯電話、腕時計、携帯型情報処理装置などを構成することで、より高性能で安価な電子機器を提供することができる。

**【0069】**

なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

**【図面の簡単な説明】**

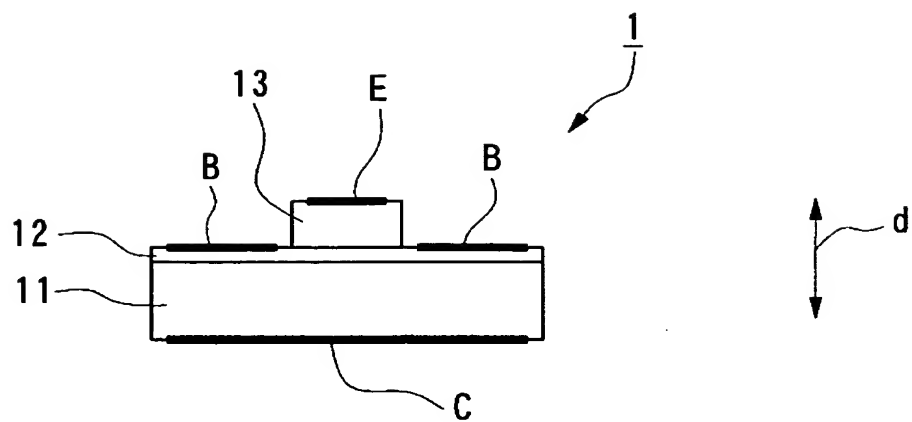
- 【図 1】 本発明の実施形態に係る単位素子の概略側面図である。
- 【図 2】 本発明の実施形態に係る H B T の概略側面図である。
- 【図 3】 同上の H B T の変形例を示す概略側面図である。
- 【図 4】 同上の H B T の概略平面図である。
- 【図 5】 微小タイル状素子の製法の第 1 工程を示す概略断面図である。
- 【図 6】 同上の製法の第 2 工程を示す概略断面図である。
- 【図 7】 同上の製法の第 3 工程を示す概略断面図である。
- 【図 8】 同上の製造方法の第 4 工程を示す概略断面図である。
- 【図 9】 同上の製造方法の第 5 工程を示す概略断面図である。
- 【図 10】 同上の製造方法の第 6 工程を示す概略断面図である。
- 【図 11】 同上の製造方法の第 6 工程を示す概略断面図である。
- 【図 12】 同上の製造方法の第 7 工程を示す概略断面図である。
- 【図 13】 同上の製造方法の第 8 工程を示す概略断面図である。
- 【図 14】 同上の製造方法の第 9 工程を示す概略断面図である。
- 【図 15】 同上の製造方法の第 11 工程を示す概略断面図である。
- 【図 16】 本実施形態の回路を備えた電子機器の一例を示す図である。
- 【図 17】 本実施形態の回路を備えた電子機器の一例を示す図である。
- 【図 18】 本実施形態の回路を備えた電子機器の一例を示す図である。

【符号の説明】

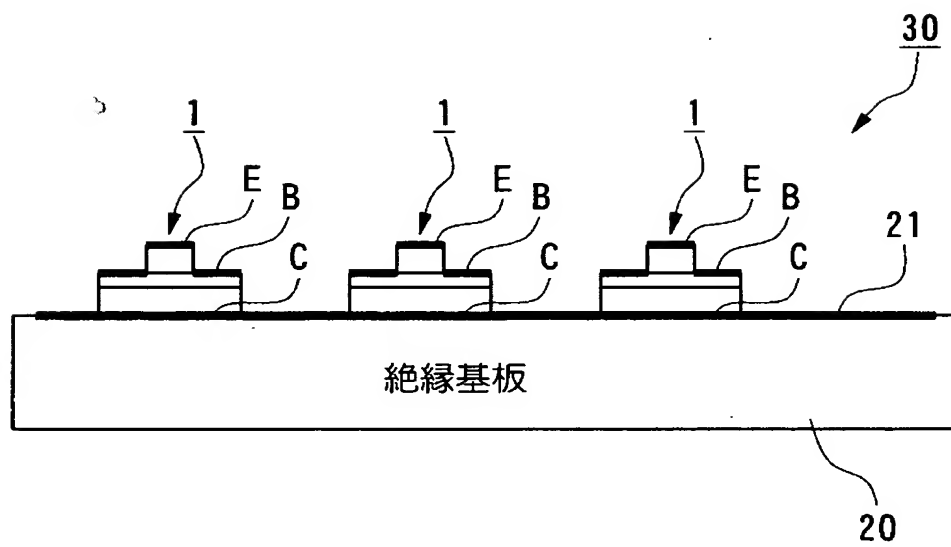
1…単位素子、11…第 1 層、12…第 2 層、13…第 3 層、20…絶縁基板、21…共通コレクタ配線（第 1 金属膜）、22…共通ベース配線（第 2 金属膜）、23…共通エミッタ配線（第 3 金属膜）、30…ヘテロバイポーラトランジスタ（H B T）

【書類名】 図面

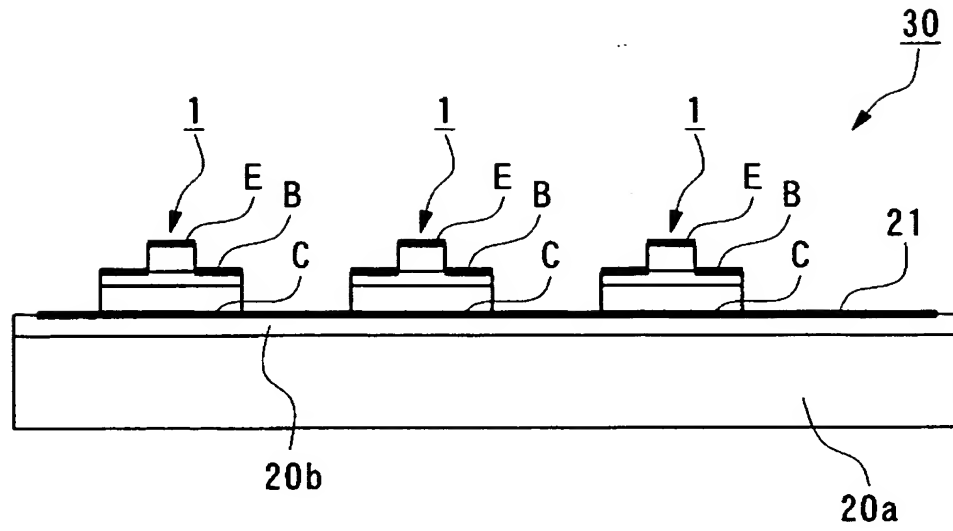
【図 1】



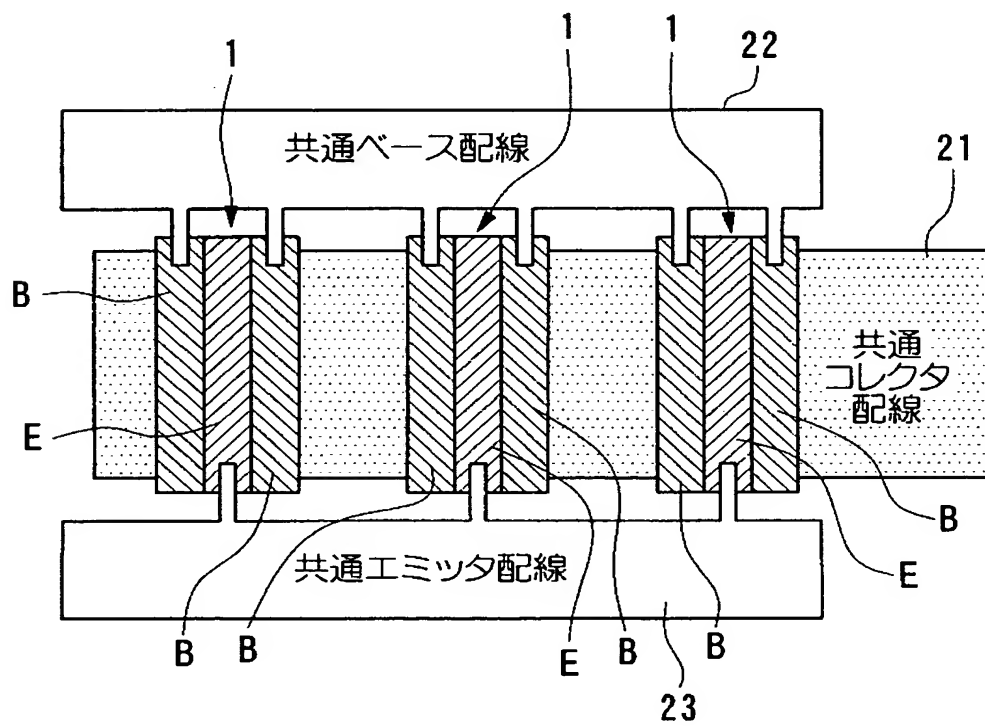
【図 2】



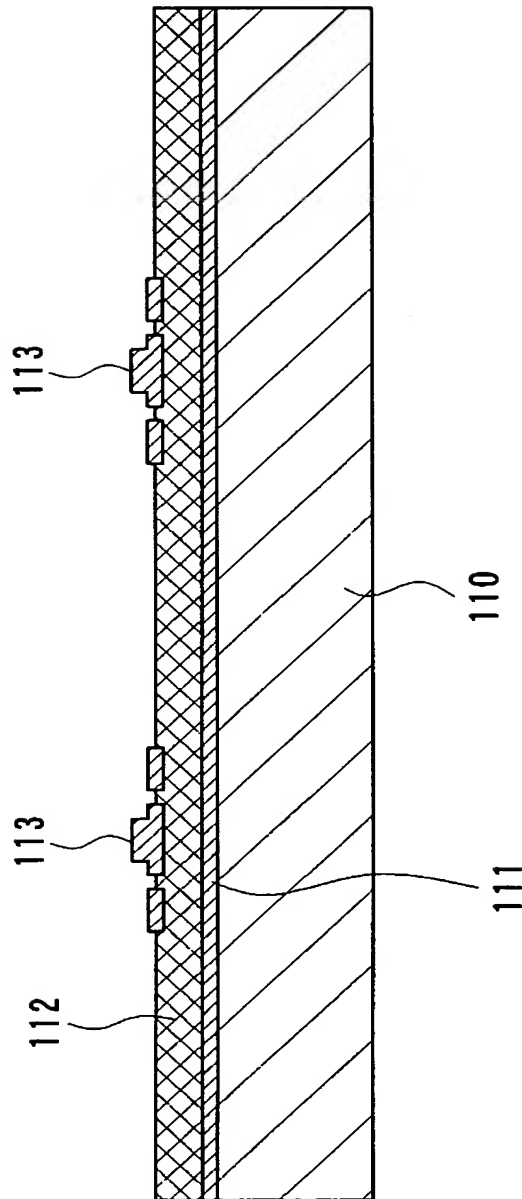
【図 3】



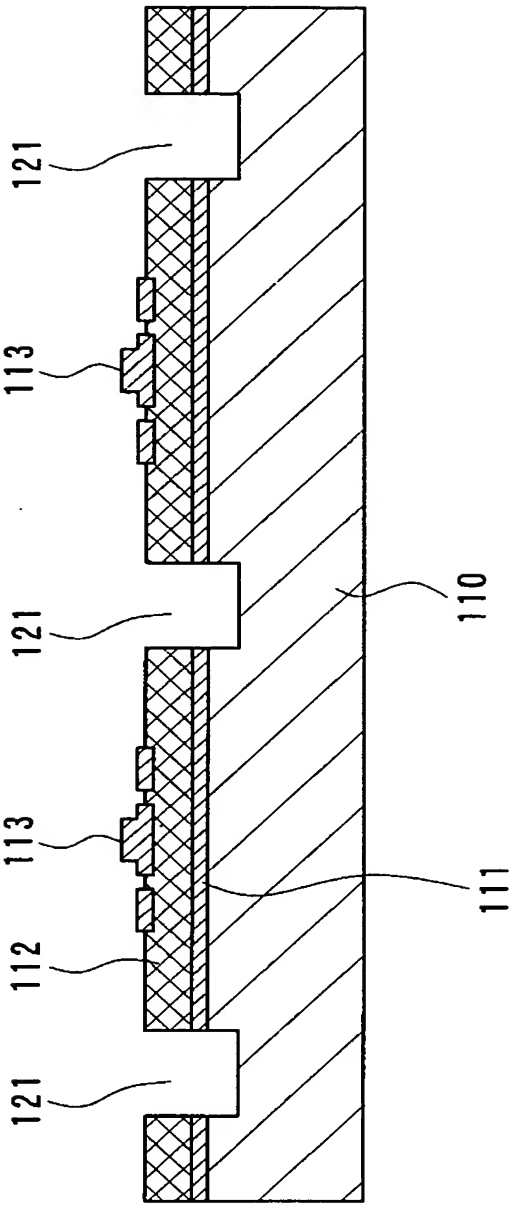
【図 4】



【図 5】

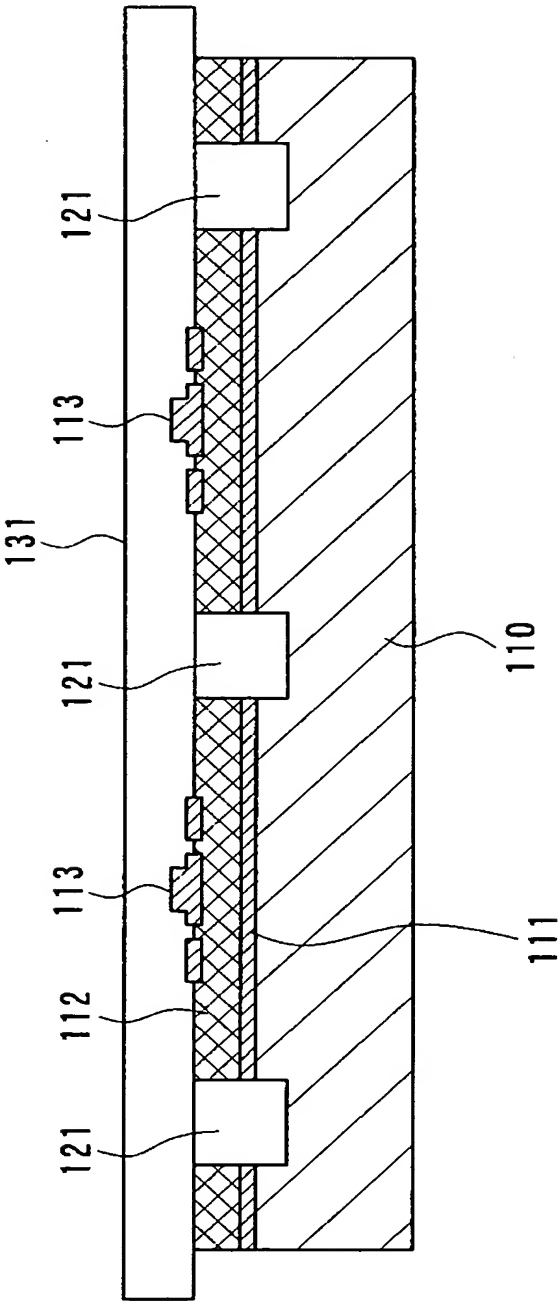


【図 6】

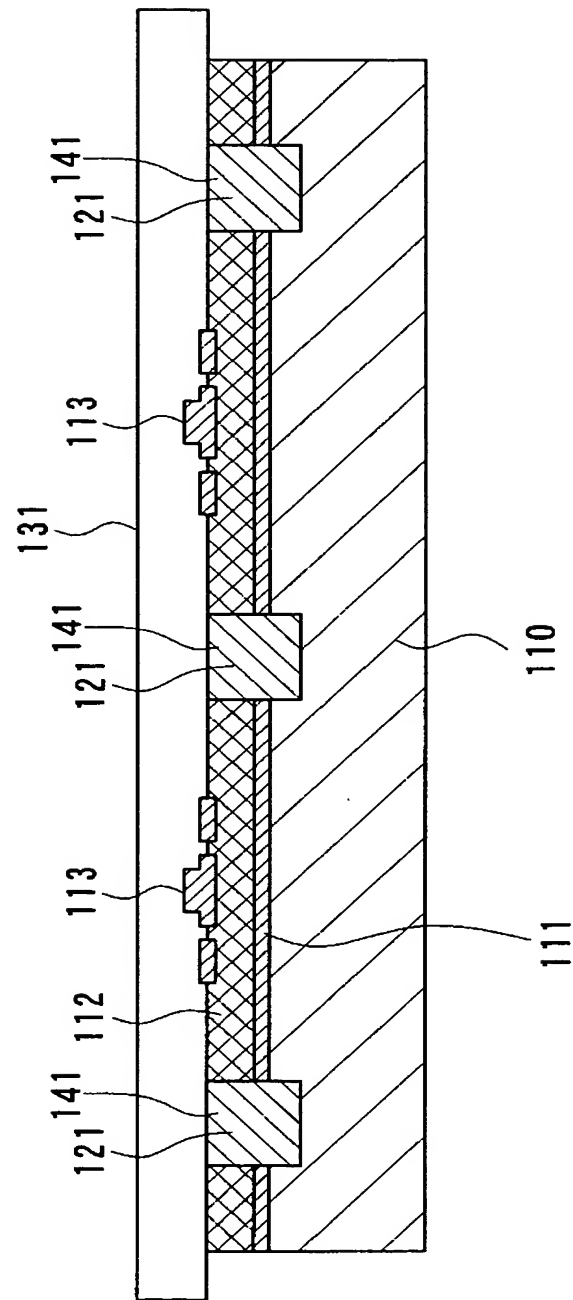




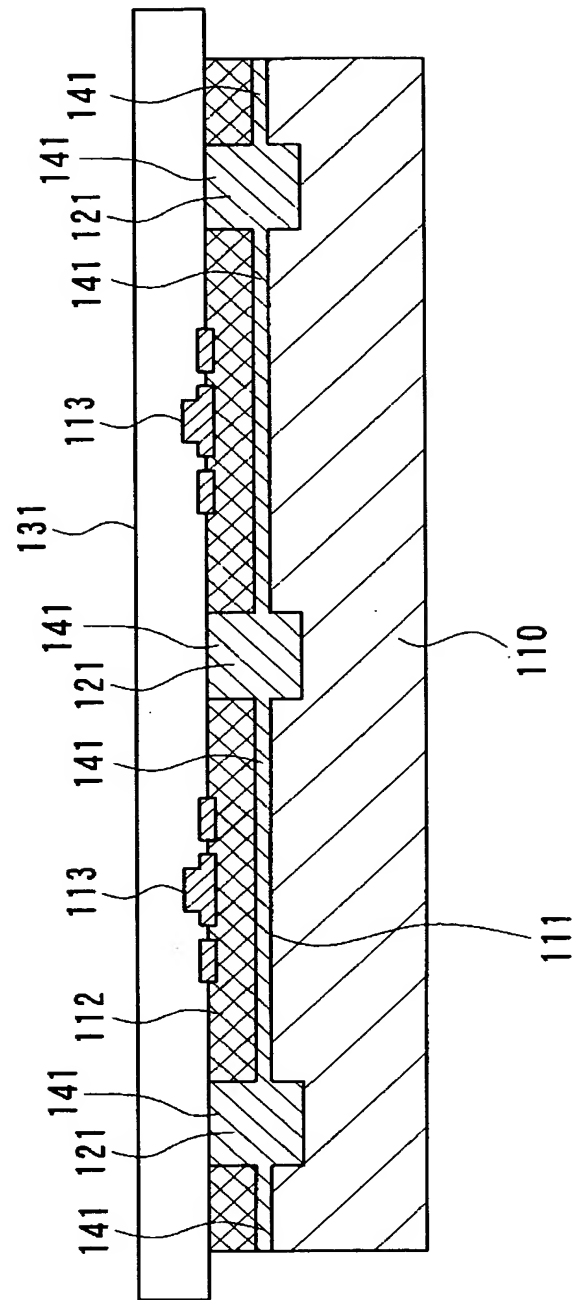
【図 7】



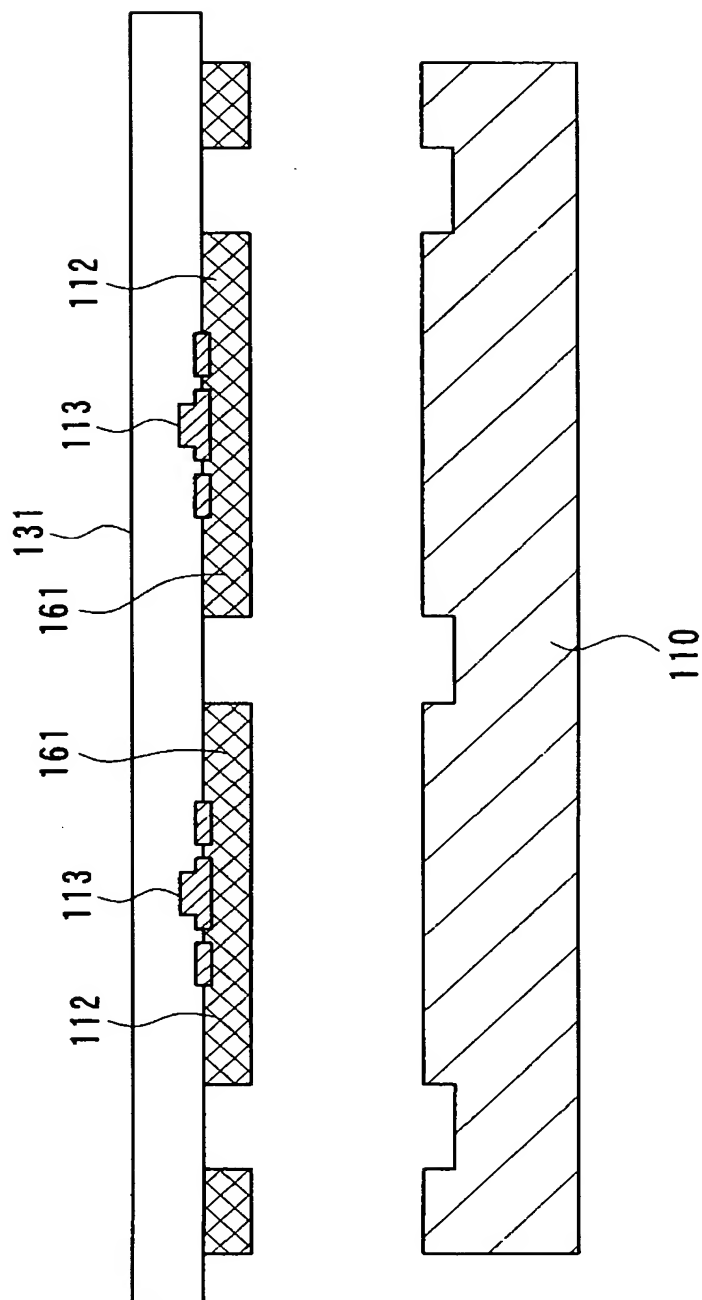
【図 8】



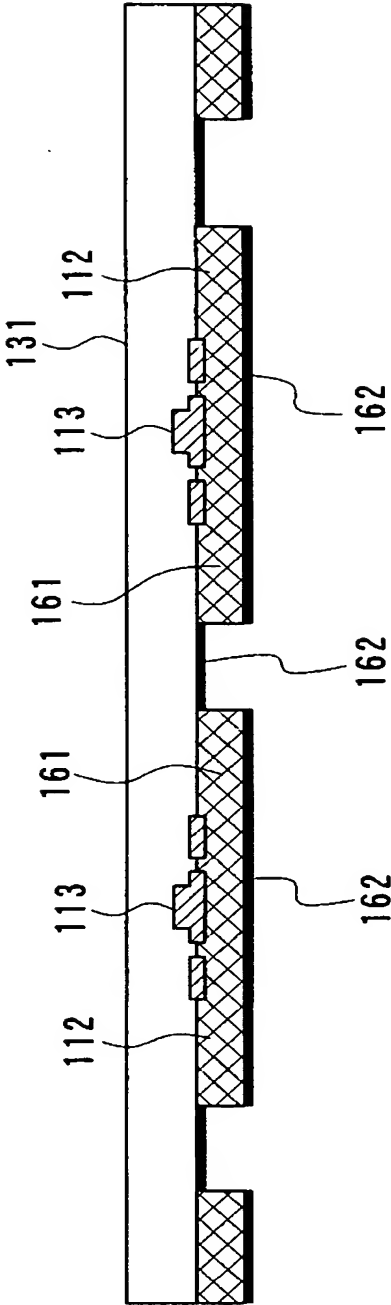
【図 9】



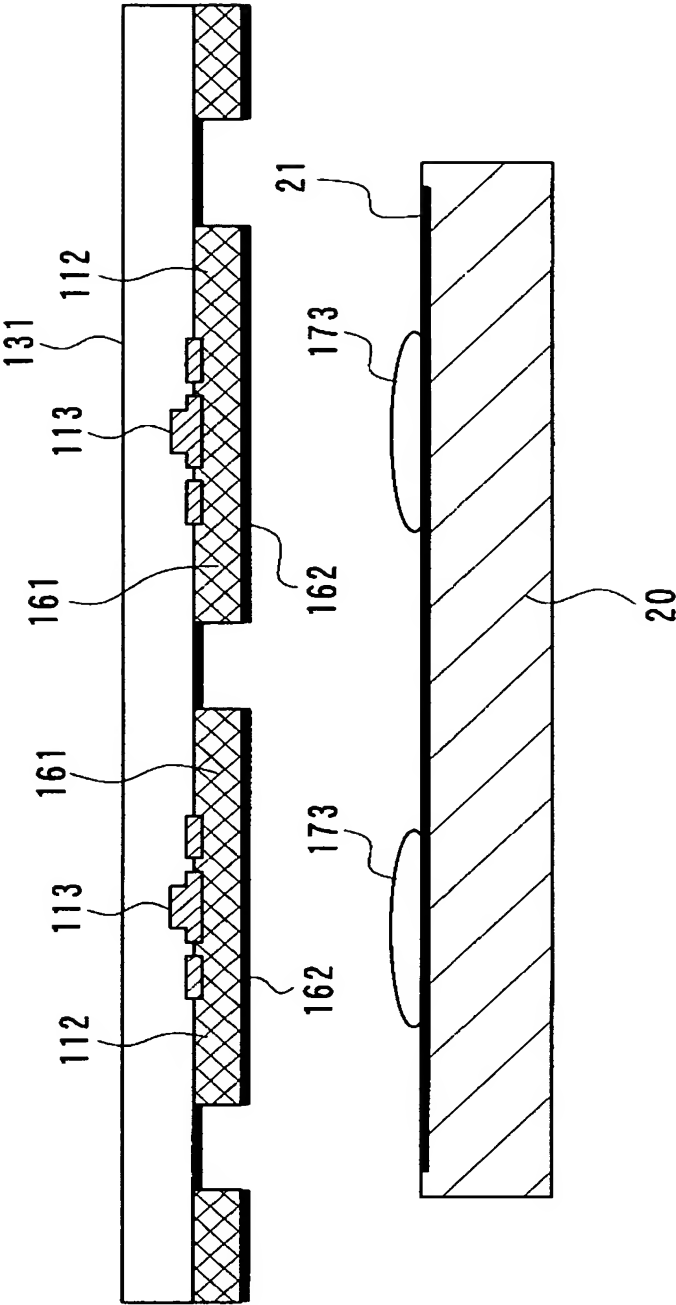
【図 10】



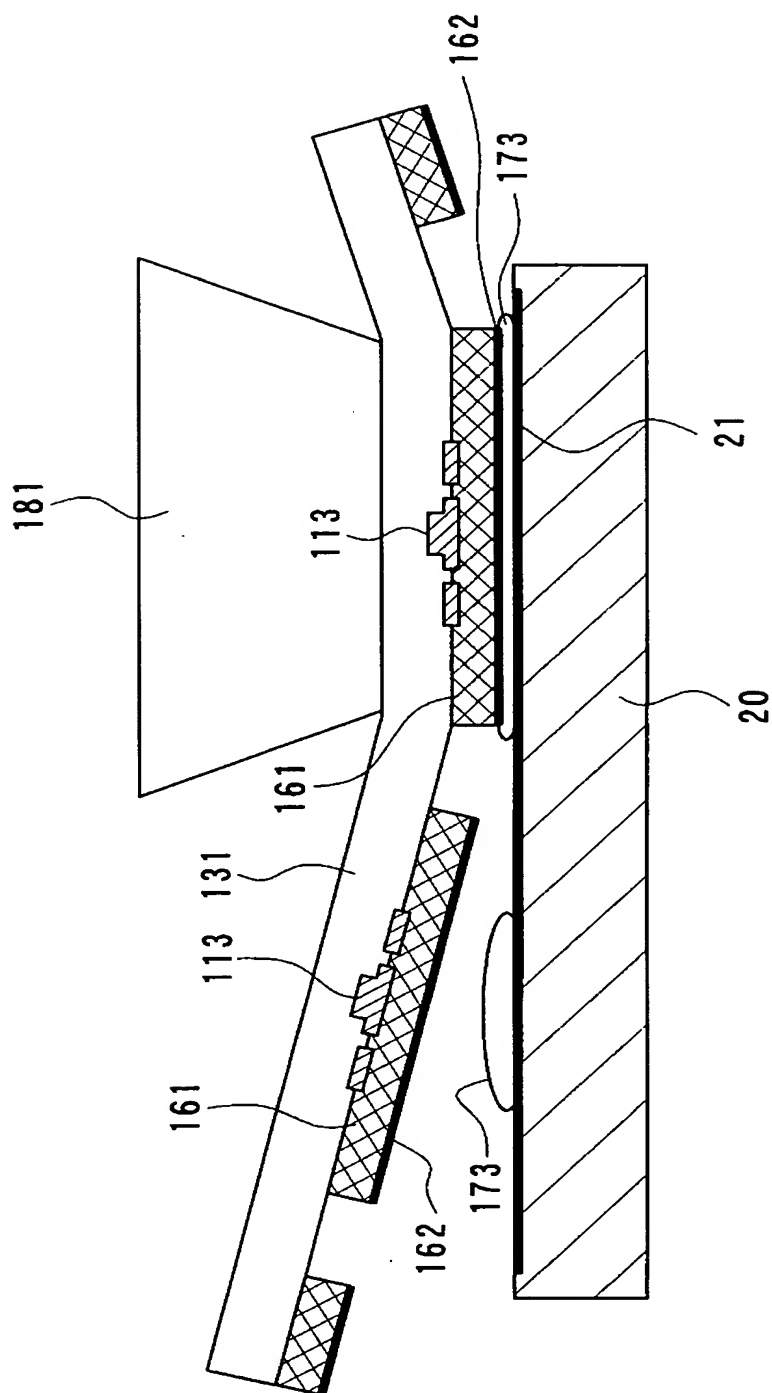
【図 11】



【図 12】



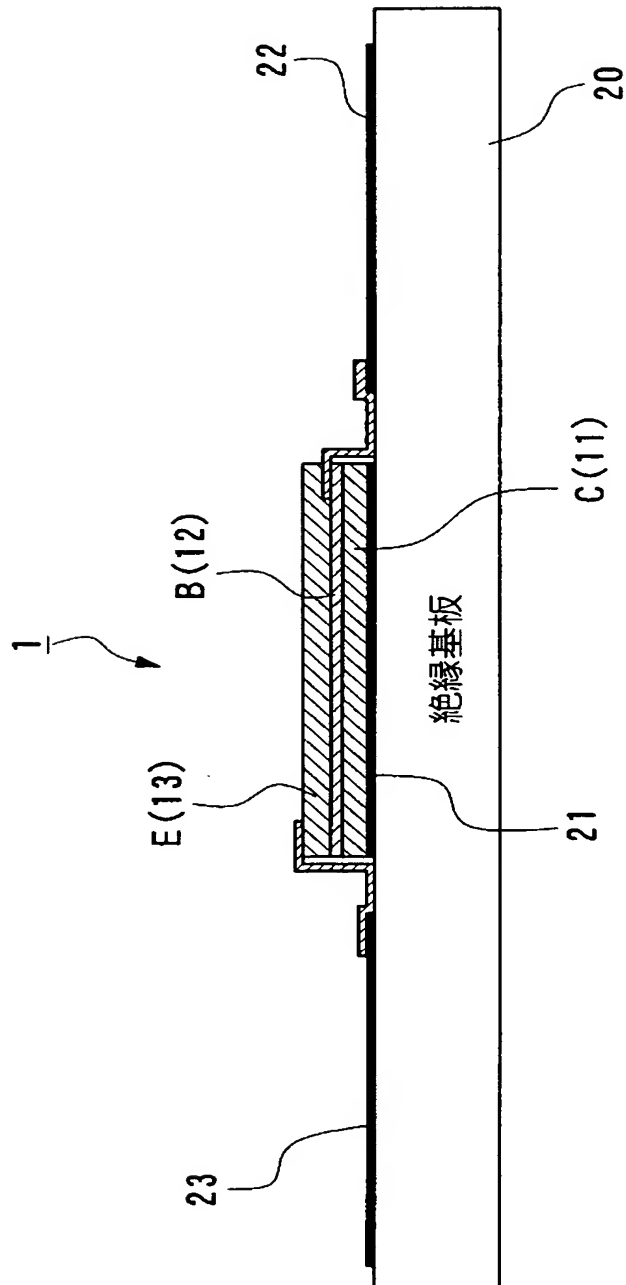
【図 13】



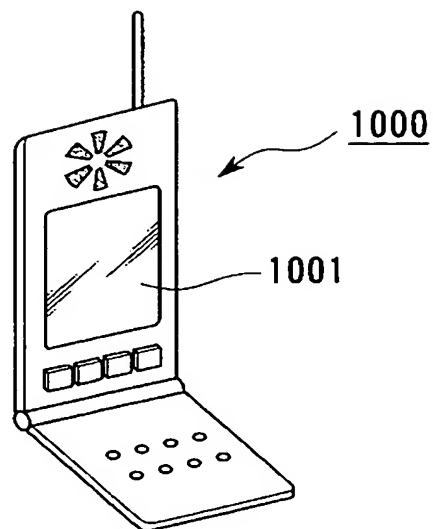




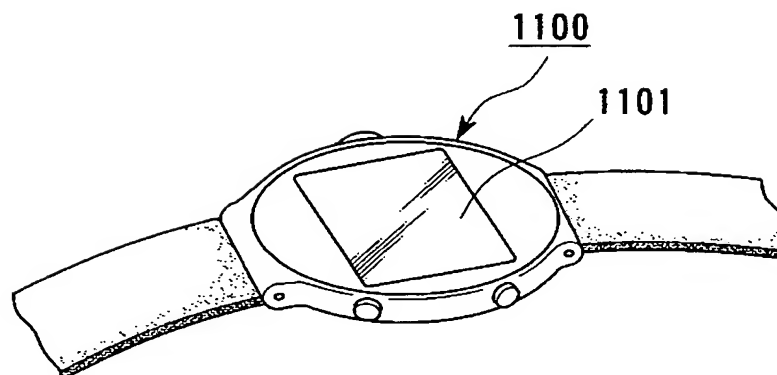
【図 15】



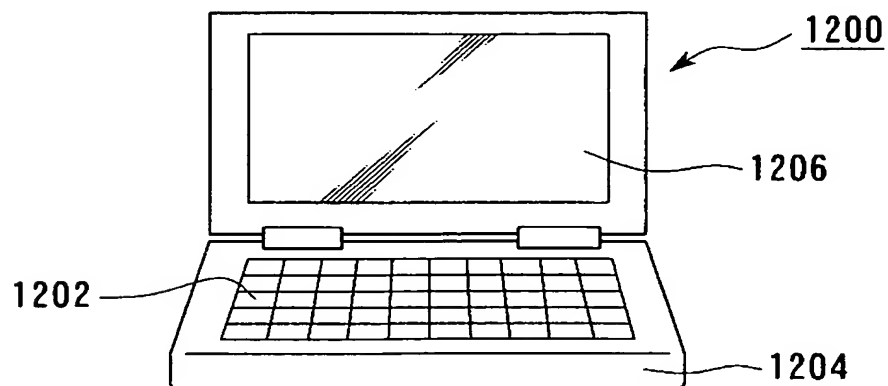
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 トランジスタの単位素子を並列接続させても配線を立体的に交差させる必要がなく、製造し易い構造でありながら高速化が可能なトランジスタ及び電子機器の提供を目的とする。

【解決手段】 絶縁基板上に設けられた共通コレクタ配線 21 と、共通コレクタ配線 21 上に設けられた N 型半導体からなる第 1 層と、第 1 層上に設けられた P 型半導体からなる第 2 層と、第 2 層上に設けられた N 型半導体からなる第 3 層と、絶縁基板上に設けられかつ第 2 層に接続する共通ベース配線 22 と、絶縁基板上に設けられかつ第 3 層に接続する共通エミッタ配線 23 とを有する。

【選択図】 図 4



## 認定・付加情報

特許出願の番号	特願 2003-097972
受付番号	50300542137
書類名	特許願
担当官	田丸 三喜男 9079
作成日	平成 15 年 4 月 9 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

## 【代理人】

申請人

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

## 【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

## 【選任した代理人】

【識別番号】	100110364
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	実広 信哉

次頁無



特願 2 0 0 3 - 0 9 7 9 7 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社